

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年3月17日 (17.03.2005)

PCT

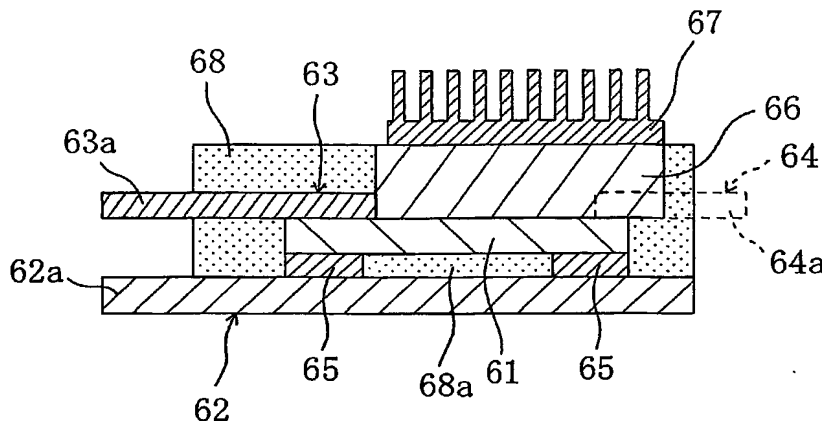
(10) 国際公開番号
WO 2005/024941 A1

- (51) 国際特許分類⁷: H01L 23/36, 25/04 (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/013263
- (22) 国際出願日: 2004年9月6日 (06.09.2004) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 4 MW 06
特願2003-313111 2003年9月4日 (04.09.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 北畠 真 (KITABATAKE, Makoto). 楠本 修 (KUSUMOTO, Osamu). 内田 正雄 (UCHIDA, Masao). 高橋 邦方 (TAKAHASHI, Kunimasa). 山下 賢哉 (YAMASHITA, Kenya).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Disclosed is a semiconductor device which comprises a semiconductor chip (61) including a power semiconductor element using a wide band gap semiconductor, bases (62, 63), first and second intermediate members (65, 68a), a heat transferring member (66), a heat dissipating fin (67), and a sealing material (68) for sealing the semiconductor chip (61), the first and second intermediate members (65, 68a) and the heat transferring member (66). End portions of the bases (62, 63)

are respectively formed as external connection terminals (62a, 63a). The second intermediate member (68a) is made of a material having a lower thermal conductivity than the first intermediate member (65), and has a larger contact area with the semiconductor chip (61) than the first intermediate member (65).

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

半導体装置は、ワイドバンドギャップ半導体を用いたパワー半導体素子を含む半導体チップ61と、基材62、63と、第1、第2の中間部材65、68aと、熱伝達部材66と放熱フィン67と、半導体チップ61と、第1、第2の中間部材65、68a及び熱伝達部材66を封止する封止材68とを備えている。基材62、63の各先端部は外部接続端子62a、63aとなっている。第2の中間部材68aは第1の中間部材65より熱伝導率の低い材料によって構成され、半導体チップ61との接触面積は、第2の中間部材68aの方が第1の中間部材65よりも大きい。

明 細 書

半導体装置

技術分野

本発明は、化合物半導体層を利用して形成されるM I S F E Tに係り、特に、高耐圧、大電流用に使用するために適したM I S F E Tに関する。

背景技術

従来より、パワー素子を含む複数の半導体チップを組み込んでなるパワーモジュールにおいては、パワー素子の電力損失によって生じる半導体素子の発熱を発散させることが重要な課題である（例えば、文献1（パワーエレクトロニクスハンドブック（R&Dプランニング）監修：今井孝二（602頁）参照）。そこで、従来の半導体装置においては、パワー素子を冷却して安全動作温度以下に保持すべく、パワー素子をパッケージ基材に接触させて、パワー素子で発生した熱が熱伝導によってパッケージ基材を経て放出されるように、設計されていた。従って、複数の半導体チップを用いてパワーモジュールを構成する場合には、上述のように、各半導体デバイスをパッケージ基材に接触させる必要があった。

図11は、3つのS i パワーデバイスを組み込んでなる従来の半導体パワーモジュールの構造を示す断面図である。同図に示すように、従来の半導体パワーモジュールは、裏面に熱放出のためのフィン101aが付設された基材101と、基材101の上面に半田付けによって固着された3つのS i パワーデバイスであるS i チップ102、103、104と、各S i チップ102、103、104間を電氣的に接続するボンディングワイヤ105とを備えている。この構造により、各S i チップ102、103、104で発生した熱を熱伝導により効率よく基材101に放散させることができるため、パワーデバイスであるS i チップ102、103、104の温度を、その温度保証範囲である150℃以下に抑制することができる。

解決課題

しかしながら、上記従来の半導体パワーモジュールにおいては、半導体パワーモジュール構成している複数のSiチップ102, 103, 104をそれぞれ基材101上に搭載するためには、少なくともSiチップ102, 103, 104の各面積を加算した面積以上の面積を有する基材101が必要である。その結果、比較的大きな電流を扱う半導体パワーモジュールのパッケージの面積は、大きなものにならざるを得ない。

特に、従来のパワーデバイスであるSiチップがMOSFET, IGBT, ダイオードなどである場合には、Siの熱伝導率が 1.5 W/cmK 程度であることを考慮して、動作時にSiチップを流れる電流によって発生する熱を効率的に逃がし、Siチップの中でも最も電流密度が高い部分での温度が 150°C を超えないように設計される。Siチップ中の半導体パワー素子は、 150°C を越える温度になると熱暴走してショート状態となり電流制御素子として機能しなくなる。例えば、動作時の半導体パワー素子の内部の電流密度が 10 A/cm^2 以上の場合は、半導体パワー素子内部で発生する熱を逃す工夫が必要となる。特に、半導体パワー素子の内部の電流密度が 50 A/cm^2 以上の場合には、半導体パワー素子の内部で発生する熱が顕著になるので、熱を放出するための設計には相当の工夫を要する。

上述のように、半導体パワーモジュールの設計においては、熱の放出が重要となるので、パワーデバイスであるSiチップは、熱放出パスとなる基材に確実に接触するように設計されており、ダイボンドと呼ばれる方法で半田などにより基材に直接接続されている。その結果、半導体装置の面積は大きくならざるを得なかった。

また、広い面積を有する基材上に並べられた複数の半導体素子同士を電氣的に接続するために、長いボンディングワイヤが必要となるので、長いワイヤの電気抵抗がさらに半導体装置の電気抵抗による電力損失を増大させてしまうという不具合もあった。

また、基材がリードやダイパッドである場合には、その端部はプリント配線基板などの母基板に半田などによって接続されている外部接続端子であるが、基材

に多量の熱が放出される結果、外部接続端子の温度が高くなりすぎると、半田などの接合金属が溶けたり、接続が弱くなるなど、母基板との接続の信頼性を損ねるおそれがあった。

発明の開示

本発明の目的は、大電流を効率よく流すことができるパワー半導体装置であって、母基板への接合の信頼性の高いワイドバンドギャップ半導体素子を用いた半導体装置を提供することにある。

本発明の第1の半導体装置は、ワイドバンドギャップ半導体を用いたパワー半導体素子を含む半導体チップと、半導体チップの表面の一部に接続され先端部が外部接続端子となる導電性の基材と、半導体チップの表面の一部に接触する熱伝達部材と、これらを封止する封止材とを備えている。

これにより、大きな熱の発生源である半導体チップからの熱の多くは熱伝達部材を伝わって半導体装置の外部に放出され、外部接続端子に伝わる熱量は小さくなる。したがって、母基板と外部接続端子との接続部における温度上昇によって接続の信頼性が悪化することはなく、パワー半導体素子の温度を効率のよい適度の高温に保持しつつ、高い信頼性を維持することができる。

パワー半導体素子は、 50 A/cm^2 以上の電流密度の電流が流れる領域を有している場合に、本発明の構造を適用する意義が大きい。

封止材が樹脂又はガラスによって構成されていて、熱伝達部材が封止材から露出していることにより、熱放出機能がより拡大する。

熱伝達部材に接触し、封止材よりも外方に突出するように設けられた放熱フィンをもさらに備えることにより、放熱性をさらに高くすることができる。

封止材を覆う被膜をもさらに備えていてもよく、その場合には、被膜を挟んで熱伝達部材に対向する放熱フィンをさらに備えることが好ましい。

基材と半導体チップとの間には、導電性材料からなる第1の中間部材と、第1の中間部材よりも熱伝導率の小さい材料によって構成される第2の中間部材とが介在していることにより、基材への熱の伝達を適度に調整することが可能になる。

。

半導体チップと基材との接触面積が半導体チップの面積の $1/2$ 未満であることにより、基材への熱の伝達が効果的に抑制される。

パワー半導体素子が縦型素子であり、半導体チップに積層され一部が基材に接続される別の半導体チップをさらに備えることにより、半導体モジュールを構成することが可能になる。

基材の外部接続端子が、比較的低温での接続が要求されるプリント配線基板に搭載するように構成されている場合にも、本発明によって接続の信頼性が維持される。

ワイドギャップ半導体が SiC であることにより、特に大出力のパワーデバイスとして機能する半導体装置が得られる。

本発明の第 2 の半導体装置は、ワイドバンドギャップ半導体を用いたパワー半導体素子を含む半導体チップと、半導体チップの表面の一部に接続される導電性の基材と、半導体チップの表面の一部に接触する熱伝達部材と、熱伝達部材に接触し、半導体チップ、基材及び熱伝達部材を密閉する容器と、基材に電氣的に接続され、容器から突出する外部接続端子とを備えている。

これにより、大きな熱の発生源である半導体チップからの熱の多くは熱伝達部材及び容器を伝わって半導体装置の外部に放出され、外部接続端子に伝わる熱量は小さくなる。したがって、母基板と外部接続端子との接続部における温度上昇によって接続の信頼性が悪化することはなく、パワー半導体素子の温度を効率のよい適度の高温に保持しつつ、高い信頼性を維持することができる。

容器内において、半導体チップ、基材及び熱伝達部材の周囲は、ガラス、樹脂、不活性ガス又は減圧された気体によって満たされていることにより、容器内の環境がより高く維持され、高い信頼性を発揮することができる。

容器の一部を挟んで上記熱伝達部材に対向するように設けられた放熱フィンをさらに備えていることが好ましい。

図面の簡単な説明

図 1 は、本発明の第 1 の実施形態に係る半導体装置（パワーモジュール）の構成を示す断面図である。

図 2 A，図 2 B は、それぞれ順に、第 1 の実施形態の第 1 の具体例に係る半導体装置の断面図及び電気回路図である。

図 3 A，図 3 B は、それぞれ順に、第 1 の実施形態の第 2 の具体例に係る半導体装置の断面図及び電気回路図である。

図 4 A，図 4 B は、それぞれ順に、第 1 の実施形態の第 3 の具体例に係る半導体装置の断面図及び電気回路図である。

図 5 A，図 5 B は、本発明の第 2 の実施形態に係る半導体装置の 2 つの構成例を示す断面図である。

図 5 A，図 5 B は、本発明の第 2 の実施形態に係る半導体装置の 2 つの構成例を示す断面図である。

図 6 は、第 2 の実施形態の第 1 の具体例に係る半導体装置の断面図である。

図 7 A～図 7 C は、第 2 の実施形態の第 1 の具体例に係る半導体装置の製造工程を示す断面図である。

図 8 は、パワートランジスタ T R 1 のプリント配線基板への取り付け状態の一例を示す断面図である。

図 9 は、第 2 の実施形態の第 2 の具体例に係る半導体装置の断面図である。

図 10 は、第 2 の実施形態の第 3 の具体例に係る半導体装置の断面図である。

図 11 は、従来の半導体装置の断面図である。

最良の実施形態

－第 1 の実施形態－

図 1 は、本発明の第 1 の実施形態に係る半導体装置（パワーモジュール）の構成を示す断面図である。

本発明の第 1 の実施形態に係る半導体装置（半導体パワーモジュール）は、図 1 に示すように、Cu 等の金属材料からなる基材 11 と、基材 11 の上に積層された、大きさまたは機能の異なる第 1～第 3 の半導体チップ 12，13，15（例えば、トランジスタ，ダイオード，IGBT など）とを備えている。この半導体パワーモジュールの特徴は、半導体チップ 12，13，15 の少なくとも 1 つの半導体チップの電極と、他の半導体チップの電極又は活性領域が接続されて、

各半導体チップ12, 13, 15が積層されていること、及び、複数の半導体チップ12, 13, 15のうち少なくとも1つの半導体チップがワイドバンドギャップ半導体を用いて構成されている半導体パワー素子を備えていることである。

本実施形態の半導体パワーモジュールによると、従来のSiパワーデバイスを備えた半導体パワーモジュールとは異なり、少なくとも1つがワイドバンドギャップ半導体を用いた半導体パワー素子を含む複数の半導体チップを備え、半導体チップ同士を積層する構造を有することにより、従来の半導体パワーモジュールでは得られなかったような小型化、小面積化を実現することができる。

ここで、本明細書中においていう「ワイドバンドギャップ半導体」とは、伝導帯の下端と価電子帯の上端とのエネルギー差であるバンドギャップが2.0 eV以上である半導体のことを意味する。そのようなワイドバンドギャップ半導体としては、炭化珪素(SiC)、GAN, AlN等のIII族窒化物、ダイヤモンド等が挙げられる。

本発明の半導体パワーモジュールにおいて、半導体チップとしては周知のものを特に制限なく用いることができ、例えば、ショットキーダイオード, pnダイオード, MISFET, MESFET, J-FET, サイリスタ等が挙げられる。また、複数の半導体チップの1つが容量素子, 誘導素子, 抵抗素子などの受動素子であってもよい。

半導体チップ同士の接続方法には、金属同士の相互拡散を利用した直接接合, 半田による接合, バンプによる接続, 導電性接着剤を利用した接続などがあり、いずれを用いてもよいものとする。

さらに、パッケージとして周知のものを特に制限なく用いることができ、例えば、樹脂封止パッケージ, セラミックパッケージ, 金属パッケージ, ガラスパッケージ等が挙げられる。いずれの場合にも、基材としては、比較的熱伝導性の高い金属(たとえばCu)からなるものが一般的に用いられている。

一般に、ワイドバンドギャップ半導体の熱伝導率は、Siに比べて数倍以上の値を示し、炭化珪素(SiC)では4.9 W/cmK、ダイヤモンドでは20 W/cmKである。このような高い熱伝導率を有していることから、ワイドバンドギャップ半導体を用いた半導体パワー素子を含む半導体パワーモジュールにおい

ては、半導体パワー素子で発生した熱の放出効率が比較的高いので、半導体パワー素子内の高電流密度部分における温度の上昇も比較的低く抑制することができる。つまり、図1に示すように、半導体チップ12, 13, 15同士を積層することにより、小面積の半導体パワーモジュール中に高密度に半導体チップ12, 13, 15を配置した場合でも、半導体パワー素子で発生した熱が効率的に基材11に放出されるので、半導体パワー素子の高電流密度部分（例えば、パワートランジスタのソース領域）における温度を比較的低温に保つことができるのである。

また、耐圧が同程度の1kVであるMISFET同士で比較すると、ワイドバンドギャップ半導体を用いた半導体パワー素子は、Siパワー素子に比べて1桁以上小さい電力損失を示す。SiのIGBTとワイドバンドギャップ半導体のMISFETで比較しても、ワイドバンドギャップ半導体を用いた半導体パワー素子は、Siパワー素子に比べて半分以下の電力損失を示す。このようなワイドバンドギャップ半導体を用いた半導体パワー素子の低損失性により、本発明の半導体パワーモジュールにおいては、半導体パワー素子内で発生する熱自体も小さいので、従来のSiパワー素子を用いた半導体パワーモジュールに比べ、内部の温度上昇を抑制するためには、さらに有利になる。

さらに、ワイドバンドギャップ半導体を用いたMISFETは、Siを用いたIGBTを凌駕するほどの高耐圧、低損失性を達成することができるため、MISFETの高速動作性を高電圧・大電流の信号を制御するのに活かすことができる。つまり、半導体パワー素子の動作速度が遅い場合に生ずるスイッチング損失を低減することができる。

特に、半導体パワーモジュールにおいて、複数の半導体チップのうち少なくとも1つの半導体チップに、 50 A/cm^2 以上の電流密度の電流が流れる場合に、本発明の効果が顕著に得られる。その理由は、半導体チップ内において 50 A/cm^2 以上の電流密度が生じるような動作がある場合、Siパワー素子（例えばMISFET）においては、電力損失に応じた発熱量が大きくなるので、Siパワー素子の正常な動作を確保するために必要な温度 150°C 以下という制限内で動作を続けることが難しい。それに対し、本発明の半導体パワーモジュールに

においては、 50 A/cm^2 以上の電流密度に対しても発熱量が抑制されるので、良好に動作することができる。

さらに、ワイドバンドギャップ半導体（例えば SiC）を用いた半導体パワー素子は、発熱により半導体パワー素子の温度が 200°C 以上（さらに 400°C 以上）に上昇しても、半導体パワーモジュールは良好に動作することができる。むしろ、温度の上昇につれて、半導体パワー素子の電気抵抗が減少する性質を示すことから、電流密度 50 A/cm^2 以上で動作して高温に保持されている場合の方が、低温に保持されている場合よりも電気抵抗が低下して、より高効率の動作が可能であることが確認された。

すなわち、本発明の半導体パワーモジュールは、少なくとも 1 つのワイドバンドギャップ半導体を用いた半導体パワー素子を含む複数の半導体チップを積層して用いることにより、図 11 に示すような半導体チップ同士を積層していない従来構造のものに比べ、内部温度がより高くなることによって、かえって動作効率が高くなるという効果を示している。

さらに、図 1 に示すように、少なくとも、半導体装置の基材 11 に対して接触している第 1 の半導体チップ 12 よりも、第 1 の半導体チップ 12 の上に積層されている第 2 の半導体チップ 13 の方が大きいことが好ましい。その理由は、基材 11 への熱放出の経路である第 1 の半導体チップ 12 の方が小さい場合、第 2 の半導体チップ 13 から基材 11 への熱の放出量が小さくなるので、第 2 の半導体チップ 13 はより高温で動作して、上述のような低損失動作による動作効率の向上効果が得られるからである。

また、複数の半導体チップ 12, 13, 15 が 3 層以上に積層されていることが好ましい。上述のように、3 層以上に積層された最上層の半導体チップで発生した熱は、より放熱しにくくなるので、上述のような半導体チップ温度の上昇による動作効率の向上効果が顕著に得られるからである。

また、ワイドバンドギャップ半導体を用いた半導体チップが、主電流が基板の上面と下面との間に流れる縦型素子（例えば、縦型 MISFET, 縦型ダイオード（ショットキーダイオード, pn ダイオード, pin ダイオード）, 縦型 IGBT など）であることが好ましい。縦型素子は、基板の上面と下面との間で電流

が流れるので、特に積層構造に適しているからである。

さらに、半導体パワーモジュールにおいて、ワイドバンドギャップ半導体が炭化珪素 (SiC) であることが好ましい。上述のように、高温でもパワー素子としての動作が可能な半導体チップを提供する半導体材料として、炭化珪素 (SiC)、GaN、AlNなどのIII族の窒化物半導体、ダイヤモンドなどが適しているが、特に、SiC (その中でも4H-SiC基板) が、低損失性・安定性・信頼性等の面で優れていることを確認した。これは、低欠陥密度のウェハが供給されていることに起因し、結晶中の欠陥に起因する、絶縁破壊などの問題が起こりにくいことと対応している。

第1の具体例

図2A、図2Bは、それぞれ順に、第1の実施形態の第1の具体例に係る半導体装置の断面図及び電気回路図である。

図2Bに示すように、本具体例の半導体装置 (半導体パワーモジュール) には、入力直流信号 (input DC) を昇圧して出力直流信号 (output DC) を出力する昇圧型DC-DCコンバータとして機能する。半導体パワーモジュールには、誘導素子IND1と、縦型MISFETであるパワートランジスタTR1と、ショットキーダイオードD1と、容量素子CA1とが配置されている。

図2Aに示すように、ショットキーダイオードD1は、ワイドバンドギャップ半導体からなるSiC基板の大部分を占めるN型ドリフト層21 (活性領域) と、N型ドリフト層21にショットキー接触する、Niからなるショットキー電極22とを備えている。そして、N型ドリフト層21はCu等の金属からなる基材23に接続され、基材23は、出力電圧V_{out} を出力するための出力端子に接続されている。

一方、パワートランジスタTR1は、ワイドバンドギャップ半導体からなるSiC基板の大部分を占めるN型ドリフト層31 (活性領域) と、N型ドリフト層31内にP型不純物をドーピングして形成されたP型ベース層32と、P型ベース層32内に高濃度のN型不純物をドーピングして形成されたN⁺型ソース層33と、SiC基板の表面部におけるP型ベース層32、N型ドリフト層31、P型ベース層32を挟むN⁺型ソース層33に跨って形成されたシリコン酸化膜からなるゲ

ート絶縁膜 35 と、ゲート絶縁膜 35 の上に設けられた、Al 等の金属やポリシリコンからなるゲート電極 36 と、SiC 基板の表面部における P 型ベース層 32 を挟む N⁺ 型ソース層 33 に跨って形成されたソース電極 37 と、SiC 基板の上方に設けられたシリコン酸化膜からなる層間絶縁膜 38 と、層間絶縁膜 38 を貫通してゲート電極 36 に接続される、Al 等の金属からなるゲート配線・プラグ 40 と、ゲート配線・プラグ 40 の引き出し電極 42 と、層間絶縁膜 38 を貫通して各ソース電極 37 に接続される、Al 等の金属からなるソース配線・プラグ 41 とを備えている。ソース配線・プラグ 41 のうち層間絶縁膜 38 の上面上に位置する部分は平板状に設けられていて、この部分が Cu 等の金属からなる基材 43 に接続され、基材 43 は接地に接続されている。また、N 型ドリフト層 31 の下面には Ni, Ni シリサイド合金等の金属からなる裏面電極 39 が設けられており、裏面電極 39 はショットキーダイオード D1 のショットキー電極 22 に接続されている。

さらに、引き出し電極 42 は配線 52 に接続され、配線 52 はゲート電圧コントロールドライバにつながっている。裏面電極 39 は配線 51 に接続され、配線 51 は、チップインダクタである誘導素子 IND1 を介して、入力電圧 V_{in} を受けるための入力端子に接続されている。また、基材 23 と基材 43 との間には、チップコンデンサである容量素子 CA1 が介在している。

次に、本具体例に係る半導体パワーモジュールの製造工程について説明する。

まず、基材 23 の上面上に、比較的小さい半導体パワー素子であるショットキーダイオード D1 の N 型ドリフト層 21 を例えば半田などによりボンディングする。このときの条件は、AuSn 半田または SnAgCu 半田を用いて 300℃ ボンディングした。

次に、ショットキーダイオード D1 のショットキー電極 22 の上面上に、比較的大きな半導体チップであるパワートランジスタ TR1 をボンディングした。ショットキーダイオード D1 とパワートランジスタ TR1 とのボンディングは、半田によって行ってもよいが、本具体例においては、ショットキーダイオード D1 のショットキー電極 22 と、パワートランジスタ TR1 の裏面電極 39 とを互いに押しつけて、金属の相互拡散を利用して接合している。その際、加重 0.1～

1 kg/cm^2 , $60\sim 120\text{ kHz}$ の超音波を印加している。

さらに、パワートランジスタ TR 1 のソース配線・プラグ 4 1 の上面上に基材 4 3 を半田により搭載して、両者を接合する。この場合、ソース配線・プラグ 4 1 の上面上に金メッキバンプを着けて基材 4 3 と超音波接合しても良い。パワートランジスタ TR 1 の裏面電極 3 9 , 引き出し電極 4 2 に、配線 5 1 , 5 2 をそれぞれ接続し、配線 5 1 にチップインダクタである誘導素子 IND 1 を、基材 2 3 , 4 3 間にチップコンデンサである容量素子 CA 1 をそれぞれ接続した後、樹脂封止により、ショットキーダイオード D 1 , パワートランジスタ TR 1 , 容量素子 CA 1 , 誘導素子 IND 1 , 容量素子 CA 1 及び配線 5 1 , 5 2 を 1 つのパッケージ体として組み立てる。樹脂封止の方法は、図示しないが、公知の各種樹脂封止技術を用いることができる。ここで、チップインダクタである誘導素子 IND 1 とチップコンデンサである容量素子 CA 1 は、パッケージ内に一体化せずに外付けしても良い。

従来の半導体パワーモジュールの場合には、半導体チップ 1 0 3 , 1 0 4 を基材 1 0 1 の上面上に、それぞれ接続させるが、本具体例の半導体パワーモジュールにおいては、半導体チップであるショットキーダイオード D 1 の上にパワートランジスタ TR 1 を積層させているので、半導体パワーモジュールの占有面積が低減する。

また、本具体例の半導体パワーモジュールと同じ構造のパワーモジュールを Si を用いた pn ダイオード、パワートランジスタによって構成して、本具体例との比較を行なった。パワートランジスタ TR 1 を 3 mm 角のチップとすると、Si チップを用いた従来の半導体パワーモジュールにおいては、 5 A の電流が定格でジャンクション温度が 150°C 以上となってしまったが、本具体例の半導体パワーモジュールにおいては 10 A 以上の電流を流すことができ、パワートランジスタ TR 1 の N^+ 型ソース領域 3 3 に 50 A/cm^2 以上の電流密度で電流が流れても、半導体パワーモジュールが安定して動作することが確認された。その際、本具体例のパワートランジスタ TR 1 やショットキーダイオード D 1 のジャンクション温度は 150°C 以下に保持されていた。

さらに、本具体例の半導体パワーモジュールに、 20 A の電流を流しても安定

に動作することが確認された。この場合は、10 Aの電流を流した場合に比べて、ショットキーダイオードD 1やパワートランジスタTR 1のジャンクション温度は、150℃以上に上昇しているが、パワートランジスタTR 1の電気抵抗値は低下しているので、電流が増えることにより損失率が低下していることも確認された。

第2の具体例

図3 A、図3 Bは、それぞれ順に、第1の実施形態の第2の具体例に係る半導体装置の断面図及び電気回路図である。

図3 Bに示すように、本具体例の半導体装置（半導体パワーモジュール）には、入力直流信号（input DC）を降圧して出力直流信号（output DC）を出力する降圧型DC-DCコンバータとして機能する。半導体パワーモジュールには、誘導素子IND 1と、縦型MISFETであるパワートランジスタTR 1と、ショットキーダイオードD 1と、容量素子CA 1とが配置されている。

図3 Aに示すように、ショットキーダイオードD 1は、第1の具体例におけるショットキーダイオードD 1と同じ構造を有している。そして、ショットキー電極2 2はCuからなる基材2 3に接続され、基材2 3は、容量素子CA 1を介して出力端子に接続されている。

パワートランジスタTR 1も、第1の具体例のパワートランジスタTR 1と同じ構造を有している。そして、ソース配線・プラグ4 1のうち層間絶縁膜3 8の上面上に位置する部分がショットキーダイオードD 1のN型ドリフト層2 1に接合されている。また、裏面電極3 9はCu等の金属からなる基材4 3に接合され、基材4 3は、入力電圧V_{in}を受けるための入力端子に接続されている。

さらに、引き出し電極4 2は配線5 2に接続され、配線5 2はゲート電圧コントロールドライバにつながっている。また、ソース配線・プラグ4 1のうち層間絶縁膜3 8の上面上に位置する部分は、配線5 4に接続され、配線5 4は、チップインダクタである誘導素子IND 1を介して、出力電圧V_{out}を出力するための出力端子に接続されている。

本具体例の半導体パワーモジュールの製造工程は、基本的に第1の具体例と同様であるので、説明を省略する。

第 3 の具体例

図 4 A、図 4 B は、それぞれ順に、第 1 の実施形態の第 3 の具体例に係る半導体装置の断面図及び電気回路図である。

図 4 B に示すように、本具体例の半導体装置（半導体パワーモジュール）には、正電圧の入力直流信号（input DC）を反転して負電圧の出力直流信号（output DC）を出力する反転型 DC-DC コンバータとして機能する。半導体パワーモジュールには、誘導素子 IND 1 と、縦型 MISFET であるパワートランジスタ TR 1 と、ショットキーダイオード D 1 と、容量素子 CA 1 とが配置されている。

図 4 A に示すように、ショットキーダイオード D 1 は、第 1 の具体例におけるショットキーダイオード D 1 と同じ構造を有している。そして、ショットキー電極 2 2 は Cu 等の金属からなる基材 2 3 に接続されており、基材 2 3 の一端は出力端子に接続され、他端は容量素子 CA 1 を介して接地に接続されている。

パワートランジスタ TR 1 も、第 1 の具体例のパワートランジスタ TR 1 と同じ構造を有している。そして、ソース配線・プラグ 4 1 のうち層間絶縁膜 3 8 の上面上に位置する部分がショットキーダイオード D 1 の N 型ドリフト層 2 1 に接合されている。また、裏面電極 3 9 は Cu 等の金属からなる基材 4 3 に接続され、基材 4 3 は、正の入力電圧 V_{in} を受けるための入力端子に接続されている。

さらに、引き出し電極 4 2 は配線 5 2 に接続され、配線 5 2 はゲート電圧コントロールドライバにつながっている。また、ソース配線・プラグ 4 1 のうち層間絶縁膜 3 8 の上面上に位置する部分は、配線 5 5 に接続され、配線 5 5 は、チップインダクタである誘導素子 IND 1 を介して、接地に接続されている。

本具体例の半導体パワーモジュールの製造工程は、基本的に第 1 の具体例と同様であるので、説明を省略する。

－第 2 の実施形態－

図 5 A、図 5 B は、本発明の第 2 の実施形態に係る半導体装置の 2 つの構成例を示す断面図である。

図 5 A に示すように、本発明の第 2 の実施形態に係る半導体装置は、第 1 の構成例では、ワイドバンドギャップ半導体を用いて構成されたパワー半導体素子を

含む半導体チップ61と、Cu等の導電性を有する金属材料からなるダイパッドである基材62と、Cu等の金属材料からなり、半導体チップ61のパッド電極（図示せず）に接続されるリードである基材63と、半導体チップ61と基材62との間に介在し、半導体チップ61の一部に接触する第1の中間部材65及び第2の中間部材68aと、半導体チップ61に接触する、熱伝導率の高い材料（金属、セラミックなど）からなる熱伝達部材66と、熱伝達部材66の上に設けられた放熱フィン67と、半導体チップ61、第2の中間部材65、68a及び熱伝達部材66を封止する封止材68とを備えている。そして、基材62、63の各先端部は封止材68の外方に突出して、プリント配線基板などに搭載される際の外部接続端子62a、63aとなっている。

ここで、ワイドギャップ半導体から構成されるパワー半導体素子を搭載した半導体チップ61の材質、トランジスタやダイオードの種類などは、第1の実施形態において説明したとおりである。

第2の中間部材68aは第1の中間部材65よりも熱伝導率の低い材料によって構成され、半導体チップ61との接触面積は、第2の中間部材68aの方が第1の中間部材よりも大きい。例えば、第1の中間部材65は、熱伝導率が4（W/cm・deg）の銅からなり、第2の中間部材68aは熱伝導率が0.1（W/cm・deg）よりも小さい材料からなっている。図5Aに示す例では、第2の中間部材68aは封止材68の一部である。熱伝達部材66は、例えば熱伝導率が0.26（W/cm・deg）のアルミナ（セラミック）によって構成されている。放熱フィン67は、熱伝達部材66と同じ材料によって構成されていてもよいし、銅合金などの金属によって構成されていてもよい。また、放熱フィン67は、熱容量の大きい冷却媒体であってもよい。

また、図5Bに示すように、第2の構成例では、半導体チップ61の両面にそれぞれ接触する熱伝達部材66が設けられている。そして、各熱伝達部材66の表面上には、それぞれ放熱フィン67が設けられている。

なお、図5A、図5Bの破線に示すように、第1、第2の構成例のいずれにおいても、例えば半導体チップ61中のパワー半導体素子が3端子型素子（MISFETなど）の場合には、半導体チップ61の電極につながるもう1つのリード

である基材 6 4 が必要となる。

本実施形態の半導体装置の特徴は、パワーデバイスである半導体チップ 6 1 と接触する熱伝達部材 6 6 が封止材 6 8 から露出するように設けられている点である。また、基材 6 2 が半導体チップ 6 1 の一部のみと第 1 の中間部材 6 5 を介して接続されていて、従来の半導体パワーモジュールのごとく、基材 6 2 が半導体チップ 6 1 の全面に接触していない。

本実施形態によると、半導体チップ 6 1 と接触する熱伝達部材 6 6 が設けられ、熱伝達部材 6 6 が封止材 6 8 から露出しているので、パワー半導体素子を内蔵する半導体チップ 6 1 内で発生した熱が熱伝達部材 6 6 を介して放出され、外部接続端子 6 2 a, 6 3 a は半導体チップ 6 1 の発熱によって過度に温度上昇することがなく、かつ、半導体チップ 6 1 を適度に高温で動作効率のよい状態に保持することが可能となる。したがって、外部接続端子 6 2 a, 6 3 a とプリント配線基板などの母基板との接続の信頼性が向上する。また、熱放散性の向上により、小型化、小面積化を実現することができる。

特に、基材 6 2 が半導体チップ 6 1 の全面ではなく、上面又は下面の 1 / 2 以下の面積で直接又は導電部材を挟んで接続されていることにより、基材 6 2 の先端部である外部接続端子 6 2 a の温度の上昇をより効果的に抑制することができる利点がある。

なお、熱伝達部材 6 6 や放熱フィン 6 7 を設けずに、封止材として耐熱性の高いモールド樹脂を用いることによっても、半導体チップ 6 1 の温度を適度に保って高い動作効率を保持しつつ、外部接続端子 6 2 a, 6 3 a の温度が過度に高くなるのを抑制することができる。

また、封止樹脂に代えて封止ガラスを封止材として用いることができ、さらに、封止樹脂や封止ガラスの上を覆う皮膜が設けられていてもよい。その場合、放熱フィンは、封止樹脂や封止ガラスを挟んで熱伝達部材に対向する位置に設けられていればよい。

また、熱伝達部材 6 6 と半導体チップ 6 1 の間にダイオードなどの半導体素子を含むチップを配置したり、第 2 の中間部材 6 8 a の代わりにダイオードなどの半導体素子を含むチップを配置することも可能である。その場合には、第 1 の実

施形態のごとく、パワーモジュールが構成されることになる。

本実施形態の半導体装置において、半導体チップとしては周知のものを特に制限なく用いることができ、例えば、ショットキーダイオード、pnダイオード、MISFET、MESFET、J-FET、サイリスタ等を搭載したものが挙げられる。

半導体チップのパッド電極と基材との間の接続方法には、金属同士の相互拡散を利用した直接接合、半田による接合、 bumps による接続、導電性接着剤を利用した接続などがあり、いずれを用いてもよいものとする。

さらに、パッケージとして周知のものを特に制限なく用いることができ、例えば、樹脂封止パッケージ、セラミックパッケージ、金属パッケージ、ガラスパッケージ等が挙げられる。いずれの場合にも、基材としては、比較的熱伝導性の高い金属（たとえばCu）からなるものが一般的に用いられている。

また、耐圧が同程度の1kVであるMISFET同士で比較すると、ワイドバンドギャップ半導体を用いた半導体パワー素子は、Siパワー素子に比べて1桁以上小さい電力損失を示す。SiのIGBTとワイドバンドギャップ半導体のMISFETで比較しても、ワイドバンドギャップ半導体を用いた半導体パワー素子は、Siパワー素子に比べて半分以下の電力損失を示す。このようなワイドバンドギャップ半導体を用いた半導体パワー素子の低損失性により、本発明の半導体パワーデバイスにおいては、半導体パワー素子内で発生する熱自体も小さいので、従来のSiパワー素子を用いた半導体パワーデバイスに比べ、内部の温度上昇を抑制するためには、さらに有利になる。

さらに、ワイドバンドギャップ半導体を用いたMISFETは、Siを用いたIGBTを凌駕するほどの高耐圧、低損失性を達成することができるため、MISFETの高速動作性を高電圧・大電流の信号を制御するのに活かすことができる。つまり、半導体パワー素子の動作速度が遅い場合に生ずるスイッチング損失を低減することができる。

特に、半導体パワーモジュールにおいて、複数の半導体素子のうち少なくとも1つの半導体素子に、 50 A/cm^2 以上の電流密度の電流が流れる場合に、本発明の効果が顕著に得られる。その理由は、半導体素子内において 50 A/cm

² 以上の電流密度が生じるような動作がある場合、S i パワー素子（例えばM I S F E T）においては、電力損失に応じた発熱量が大きくなるので、S i パワー素子の正常な動作を確保するために必要な温度150℃以下という制限内で動作を続けることが難しい。それに対し、本発明の半導体パワーデバイスにおいては、50 A/cm² 以上の電流密度に対しても発熱量が抑制されるので、良好に動作することができる。

さらに、ワイドバンドギャップ半導体（例えばS i C）を用いた半導体パワー素子は、発熱により半導体パワー素子の温度が200℃以上（さらに400℃以上）に上昇しても、半導体パワーモジュールは良好に動作することができる。むしろ、温度の上昇につれて、半導体パワー素子の電気抵抗が減少する性質を示すことから、電流密度50 A/cm² 以上で動作して高温に保持されている場合の方が、低温に保持されている場合よりも電気抵抗が低下して、より高効率の動作が可能であることが確認された。

次に、第2の実施形態において、基材と半導体チップの上面又は下面とが接触する部分の面積が、上面又は下面の面積の1/2よりも小さいことにより、基材先端の外部接続端子の温度上昇を抑制して、母基板との接続の信頼性を高く維持しうる理由について以下に説明する。

従来、定格電力が半導体素子に与えられた場合に、基材の温度が90℃で半導体素子の温度が150℃になるように、つまり温度差が60℃になるように、S i 半導体素子から基材への熱抵抗が設計されている。つまり、S i 半導体素子が150℃にまで発熱するに相当する電流を流すことが出来る。同じようにS i C（炭化珪素）のパワーデバイスを実装した場合は、パッケージを大幅に変更しない限り、S i C半導体素子の温度は200℃に設定され、基材の温度は上記S i 半導体素子の場合と同じ90℃に設定される必要がある。このS i C半導体素子の場合の温度差は110℃となり、S i 半導体素子の場合の温度差のほぼ2倍である。したがって、S i C半導体素子を搭載したS i Cチップ（本実施形態における半導体チップ61）と基材の間の熱抵抗が、S i 半導体素子を搭載したS i チップの場合の2倍に設定されれば、上記温度範囲に収まることとなる。これを実現するためには、S i Cチップの上面または下面（表面または裏面）での、基材

に対する接触面積を上面又は下面の面積の半分とすると、熱抵抗が2倍になって、基材の温度を90℃以下に保って、SiC半導体素子を200℃で正常に動作させることが出来ることを意味する。ここに、他の熱伝導の良い放熱機構（基材）が付加されれば、さらに接触面積を小さく（熱抵抗を大きく）して、SiC半導体素子の温度上昇を抑えつつ、基材の温度上昇を抑えることが出来る。つまり、SiCチップの上面または下面での、基材との接触面積を上面又は下面の面積の半分以下とすることにより、温度上昇を伴わずに安定動作させることが出来る。ここで、パッケージ樹脂などを大幅に金属などへ変更し、パッケージ自身の耐熱性を200℃以上とした場合は、上記半分の接触面積を更に小さくする必要がある。

逆に、SiCチップの基材に対する接触面積を、SiCチップの上面または下面（表面または裏面）の半分以上とすると、SiC半導体素子の温度をパッケージの耐熱温度である200℃に設定し電流を流した場合には、基材の温度が90℃以上となり、基材とプリント配線基板などとの接触部分で発熱による問題が生じる。

第1の具体例

図6は、第2の実施形態の第1の具体例に係る半導体装置の断面図である。図6に示すように、本具体例の半導体装置には、縦型MISFETであるパワートランジスタTR1が配置されている。

図6に示すように、パワートランジスタTR1（半導体チップ61）は、ワイドバンドギャップ半導体からなるSiC基板の大部分を占めるN型ドリフト層31（活性領域）と、N型ドリフト層31内にP型不純物をドーピングして形成されたP型ベース層32と、P型ベース層32内に高濃度のN型不純物をドーピングして形成されたN⁺型ソース層33と、SiC基板の表面部におけるP型ベース層32，N型ドリフト層31，P型ベース層32を挟むN⁺型ソース層33に跨って形成されたシリコン酸化膜からなるゲート絶縁膜35と、ゲート絶縁膜35の上に設けられた、Al等の金属やポリシリコンからなるゲート電極36と、SiC基板の表面部におけるP型ベース層32を挟むN⁺型ソース層33に跨って形成されたソース電極37と、SiC基板の上方に設けられたシリコン酸化膜からなる

層間絶縁膜 38 と、層間絶縁膜 38 を貫通してゲート電極 36 に接続される、A1 等の金属からなるゲート配線・プラグ 40 と、ゲート配線・プラグ 40 の引き出し電極 42 と、層間絶縁膜 38 を貫通して各ソース電極 37 に接続される、A1 等の金属からなるソース配線・プラグ 41 とを備えている。

ソース配線・プラグ 41 のうち層間絶縁膜 38 の上面上に位置する部分は平板状に設けられていて、この部分が Cu 等の金属からなる基材 63（リード）に金属細線 70 を介して接続され、基材 63 の先端部は母基板の出力端子部に接続される外部接続端子 63a となっている。

また、N 型ドリフト層 31 の下面には Ni，Ni シリサイド合金等の金属からなる裏面電極 39 が設けられており、裏面電極 39 は第 1 の中間部材 65 を介して基材 62（ダイパッド）に接続され、基材 62 の先端部は母基板の接地に接続される外部接続端子 62a となっている。

さらに、引き出し電極 42 は図示しない断面に設けられた基材 64（リード）に金属細線 71 を介して接続され、基材 64 の先端部は母基板のゲートバイアス供給部に接続される外部接続端子 64a となっている。

また、パワートランジスタ TR1 の上面には、アルミナ（セラミック）からなる熱伝達部材 66 が取り付けられ、熱伝達部材 66 の上面上には、銅合金板からなる放熱フィン 67 が取り付けられている。

そして、基材 62 の上面側で、パワートランジスタ TR1，第 1 の中間部材 65，基材 63，64，金属細線 70，71 及び熱伝達部材 66 はエポキシ樹脂からなる封止材 68 によって封止されている。封止材 68 のうちパワートランジスタ TR1 と基材 62 との間に介在する部分が第 2 の中間部材 68a となっている。

次に、本具体例に係る半導体装置の製造方法について説明する。図 7A～図 7C は、本具体例に係る半導体装置の製造工程を示す断面図である。

まず、図 7A に示す工程で、平板部分からコ字状に曲げられたリードを有するリードフレーム 69 上に第 1 の中間部材 65 を挟んでパワートランジスタ TR1（半導体チップ 62）を搭載し、パワートランジスタ TR1 のソース配線・プラグ 41（図示せず）とリードフレーム 69 のリードとを金属細線 70 によって接

続する。また、パワートランジスタ T R 1 の上面上にアルミナからなる熱伝達部材 6 6 を搭載する。

次に、図 7 B に示す工程で、パワートランジスタ T R 1 , リードフレーム 6 9 の一部、第 1 の中間部材 6 5 及び金属細線 7 0 をエポキシ樹脂からなる封止材 6 8 によって封止する。このとき、熱伝達部材 6 6 の上面（表面）は封止材 6 8 から露出している。

次に、図 7 C に示す工程で、リードフレーム 6 9 を切断して、外部接続端子 6 2 a を含む基材 6 2 と、外部接続端子 6 3 a を含む基材 6 3 となる部分を残す。また、熱伝達部材 6 6 の上面上に C u 等からなる放熱フィン 6 7 を取り付ける。以上の工程により、図 6 に示す半導体装置の構造が形成されることになる。

なお、図 6 に示すように、図示しない断面に存在する基材 6 4 と引き出し電極とが金属細線 7 1 によって接続されるが、図 7 A ~ 図 7 C においてこの部分の図示は省略されている。

図 8 は、パワートランジスタ T R 1 のプリント配線基板への取り付け状態の一例を示す断面図である。同図に示すように、プリント配線基板 8 0 には、接地配線 8 1 と、接地配線 8 1 に接続される導体層を有するスルーホール 8 3 と、ソース電圧供給配線 8 2 と、ソース電圧供給配線 8 2 に接続される導体層を有するスルーホール 8 4 とが形成されている。そして、半導体装置の外部接続端子 6 2 a は、スルーホール 8 3 に嵌合して半田（図示せず）により接地配線 8 1 に接続され、外部接続端子 6 3 a はスルーホール 8 4 に嵌合して半田（図示せず）により出力端子 8 2 に接続されている。

なお、図 8 に示す状態において、プリント配線基板 8 0 にはゲートバイアス供給配線及びスルーホールが設けられており、外部接続端子 6 4 a（図 6 参照）はスルーホールに嵌合してゲートバイアス供給配線に半田により接続されているが、その図示は省略されている。

図 8 に示す状態において、パワートランジスタ T R 1 で発生した大部分の熱は熱伝達部材 6 6 を伝わって放熱フィン 6 7 から外部に放出されるので、外部接続端子 6 2 a , 6 3 a に伝わる熱は小さく抑制されることがわかる。

第 2 の具体例

図 9 は、第 2 の実施形態の第 2 の具体例に係る半導体装置の断面図である。本具体例の半導体装置には、第 1 の具体例において説明したとおりの構造を有しているパワートランジスタ T R 1 に加えて、ショットキーダイオードが配置されている。

ショットキーダイオード D 1 は、ワイドバンドギャップ半導体からなる S i C 基板の大部分を占める N 型ドリフト層 2 1（活性領域）と、N 型ドリフト層 2 1 にショットキー接触する、N i からなるショットキー電極 2 2 とを備えている。ショットキーダイオード D 1 の N 型ドリフト層 2 1 の裏面はパワートランジスタ T R 1 のソース配線・プラグ 4 1 に接続されている。また、ショットキー電極 2 2 は、C u 等の金属からなる基材 6 3 に、C u 等の金属からなる第 1 の中間部材 7 4 を介して接続され、基材 6 3 の先端部は、母基板の出力端子部に接続される外部接続端子 6 3 a となっている。本具体例では、封止材 6 8 のうちショットキーダイオード D 1 のショットキー電極 2 2 と基材 6 3 との間に介在する部分が第 2 の中間部材 6 8 b となっている。

また、パワートランジスタ T R 1 の裏面電極 3 9 に第 1 の中間部材 6 5 を介して接続され、先端部が母基板の接地に接続される外部接続端子 6 2 a となっている基材 6 2（ダイパッド）と、パワートランジスタ T R 1 の引き出し電極 4 2 に金属細線 7 1 を介して接続され、先端部が外部接続端子 6 4 a となっている基材 6 4（リード）とが設けられている。そして、封止材 6 8 のうちパワートランジスタ T R 1 と基材 6 2 との間に介在する部分が第 2 の中間部材 6 8 a となっている点は、第 1 の具体例と同様である。

本具体例においても、製造工程は第 1 の具体例と同様であり、母基板（プリント配線基板）への取り付け状態は図 8 に示すとおりである。したがって、本具体例により、パワートランジスタ T R 1 とショットキーダイオード D 1 とを 1 つのパッケージに収納して高密度実装を図りつつ、外部接続端子 6 2 a，6 3 a に伝わる熱を小さく抑制することができ、母基板との間の接続の信頼性を高く保持することができる。

なお、図 9 に示す構造に代えて、ショットキーダイオード D 1 を熱伝達部材 6 とパワートランジスタ T R 1 のソース配線・プラグ 4 1 との間に配置してもよ

い。さらに、その場合、ショットキー電極 2 2 を金属細線を介して基材 6 3 に接続してもよい。

第 3 の具体例

図 1 0 は、第 2 の実施形態の第 3 の具体例に係る半導体装置の断面図である。図 1 0 に示すように、本具体例の半導体装置には、第 1 , 第 2 の具体例と同じ構造を有する縦型 M I S F E T であるパワートランジスタ T R 1 が配置されている。本具体例に係る半導体装置の特徴は、樹脂封止ではなく、金属キャップを用いたガラス封止構造を有している点である。

本具体例に係る半導体装置は、図 1 0 に示すように、セラミック等の絶縁体からなる基台 8 1 と、基台 8 1 上に形成された C u 等の金属板からパターニングされた基材として機能する基材 6 2 , 基材 6 3 及び支持部材 8 3 と、基材 6 2 及び支持部材 8 3 上に搭載されたパワートランジスタ T R 1 (半導体チップ 6 1) と、パワートランジスタ T R 1 の上面上に取り付けられた熱伝達部材 6 6 とを備えている。基台 8 1 には、外部接続端子に対応したスルーホール 8 8 , 8 9 と、スルーホール 8 8 , 8 9 の壁面から基台 8 1 の上面及び下面に亘って形成された導電膜 8 4 , 8 6 (又はスルーホール 8 8 , 8 9 を貫通する導電ロッド) が設けられている。また、基台 8 1 の裏面の導電膜 8 4 , 8 6 上には、母基板 (プリント配線基板) に接続される外部接続端子 8 5 が設けられている。

そして、パワートランジスタ T R 1 の裏面電極 (図示せず) の端部が基材 6 2 に直接接続され、基材 6 2 は導電膜 8 4 (又はスルーホール 8 8 を貫通する導電ロッド) を介して外部接続端子 8 5 に接続されている。また、パワートランジスタ T R 1 のソース配線・プラグ (図示せず) は、金属細線 7 0 を介して基材 6 3 に接続され、基材 6 3 は導電膜 8 6 (又はスルーホール 8 9 を貫通する導電ロッド) を介して外部接続端子 8 7 に接続されている。

なお、本具体例において、図示は省略するが、図示しない断面において、引き出し電極は基材に金属細線を介して接続され、基材は、基台 8 1 のスルーホール , 上面及び下面に亘って形成された導電膜を介して、外部接続端子に接続されている。

そして、パワートランジスタ T R 1 , 基材 6 2 , 基材 6 3 , 金属細線 7 0 , 支

持部材 8 3 及び熱伝達部材 6 6 は、ガラスからなる封止材 6 8 とともに、銅合金等の金属からなる金属キャップ 8 2 内に封入されている。基台 8 1 及び金属キャップ 8 2 により、半導体チップ 6 1 (パワートランジスタ T R 1) , 基材 6 2 , 6 3 及び熱伝達部材 6 6 を密閉する容器が構成されている。

なお、封止材 6 8 は、不活性ガス、空気又は極めて低圧力に減圧された気体 (いわゆる真空雰囲気気体の気体) であってもよい。

熱伝達部材 6 6 の上面は、金属キャップ 8 2 の内壁面に接触していて、金属キャップ 8 2 の壁のうち熱伝達部材 6 6 に接触している部位の外壁面上に、銅合金板などからなる放熱フィン 6 7 が取り付けられている。

本具体例によると、基材 6 2 や金属細線 7 0 はパワートランジスタ T R 1 の裏面の一部にしか接触しておらず、かつ、基台 8 1 とパワートランジスタ T R 1 との間には比較的熱伝導率の小さいガラスが大部分を占めているので、パワートランジスタ T R 1 からの熱は、基台 8 1 , 基材 6 2 及び基材 6 3 にはあまり伝わらず、大部分の熱は、熱伝達部材 6 6 及び金属キャップ 8 2 の壁を介して放熱フィン 6 7 から放出される。よって、外部接続端子と母基板との間の接続の信頼性の向上を図ることができる。

産業上の利用可能性

本発明は、炭化珪素 (S i C) , G A N , A l N 等の III 族窒化物、ダイヤモンド等のワイドバンドギャップ半導体を用いた M I S F E T , M E S F E T , ショットキーダイオード、p n ダイオード、J - F E T , サイリスタ等の半導体デバイスを有する半導体装置や半導体パワーモジュールとして利用することができる。

請求の範囲

1.

ワイドバンドギャップ半導体を用いて構成されたパワー半導体素子を含む半導体チップと、

上記半導体チップの表面の一部に接続される、導電性材料からなる基材と、

上記半導体チップの表面の一部に接触する熱伝達部材と、

上記半導体チップ及び熱伝達部材を封止する封止材とを備え、

上記基材の一部は上記封止材の外方に突出して外部接続端子となる、半導体装置。

2.

請求項1の半導体装置において、

上記パワー半導体素子は、 50 A/cm^2 以上の電流密度の電流が流れる領域を有している、半導体装置。

3.

請求項1又は2の半導体装置において、

上記封止材は、樹脂又はガラスによって構成されていて、

上記熱伝達部材は、上記封止材から露出している、半導体装置。

4.

請求項3の半導体装置において、

上記熱伝達部材に接触し、上記封止材よりも外方に突出するように設けられた放熱フィンをさらに備えている、半導体装置。

5.

請求項1又は2の半導体装置において、

上記封止材を覆う被膜をさらに備えている、半導体装置。

6.

請求項5の半導体装置において、

上記被膜を挟んで上記熱伝達部材に対向するように設けられた放熱フィンをさらに備えている、半導体装置。

7.

請求項 1 ～ 6 のうちいずれか 1 つの半導体装置において、

上記基材と半導体チップとの間には、導電性材料からなる第 1 の中間部材と、
該第 1 の中間部材よりも熱伝導率の小さい材料によって構成される第 2 の中間部材とが介在している、半導体装置。

8 .

請求項 1 ～ 7 のうちいずれか 1 つの半導体装置において、

上記半導体チップと上記基材との接触面積は、半導体チップの面積の $1/2$ 未満である、半導体装置。

9 .

請求項 1 ～ 8 のうちいずれか 1 つの半導体装置において、

上記パワー半導体素子は、縦型素子であり、

上記半導体チップに積層され、一部が上記基材に接続される別の半導体チップをさらに備えている、半導体装置。

10 .

請求項 1 ～ 9 のうちいずれか 1 つの半導体装置において、

上記基材の外部接続端子は、プリント配線基板に搭載するように構成されている、半導体装置。

11 .

請求項 1 ～ 10 のうちいずれか 1 つの半導体装置において、

上記ワイドギャップ半導体は、SiCである、半導体装置。

12 .

ワイドバンドギャップ半導体を用いて構成されたパワー半導体素子を含む半導体チップと、

上記半導体チップの表面の一部に接続される、導電性材料からなる基材と、

上記半導体チップの表面の一部に接触する熱伝達部材と、

上記熱伝達部材に接触し、上記半導体チップ、基材及び熱伝達部材を密閉する容器と、

上記基材に電氣的に接続され、上記容器から突出する外部接続端子とを備えている、半導体装置。

1 3 .

請求項 1 2 の半導体装置において、

上記容器内において、上記半導体チップ、基材及び熱伝達部材の周囲は、ガラス、樹脂、不活性ガス又は減圧された気体によって満たされている、半導体装置。

1 4 .

請求項 1 2 又は 1 3 の半導体装置において、

上記容器の一部を挟んで上記熱伝達部材に対向するように設けられた放熱フィンをさらに備えている、半導体装置。

FIG. 1

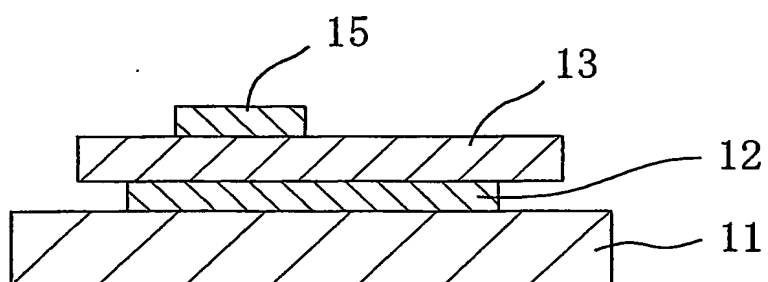


FIG. 2A

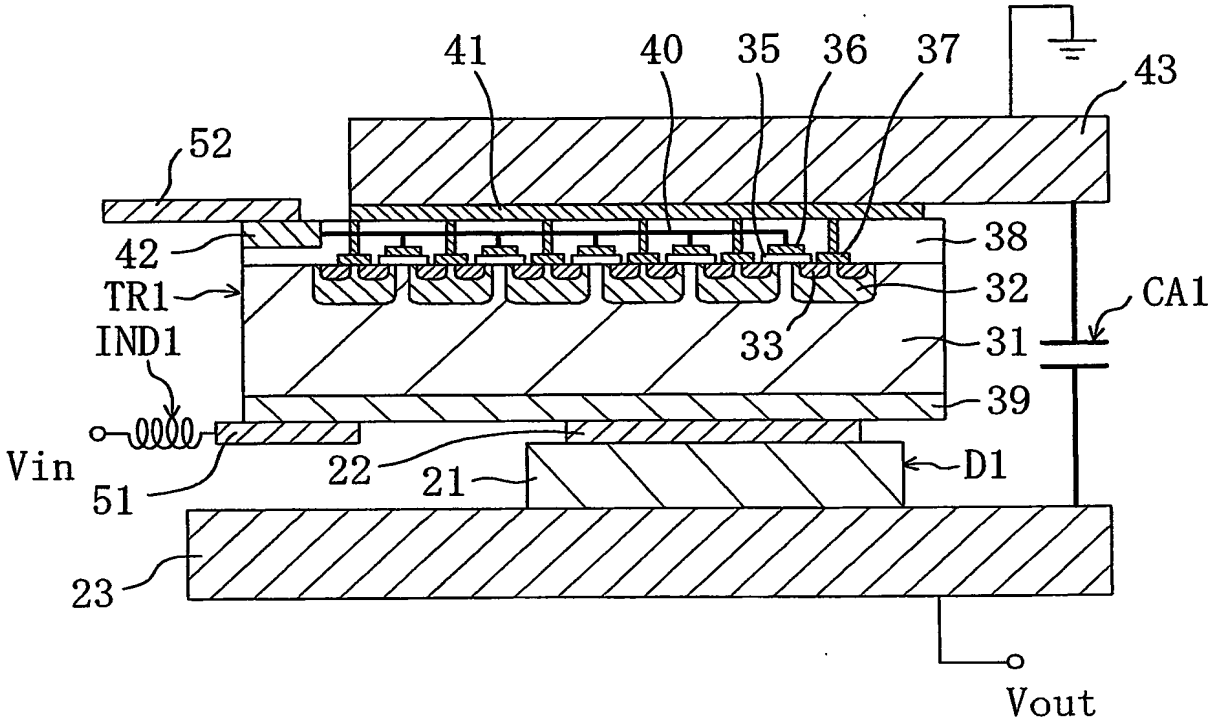


FIG. 2B

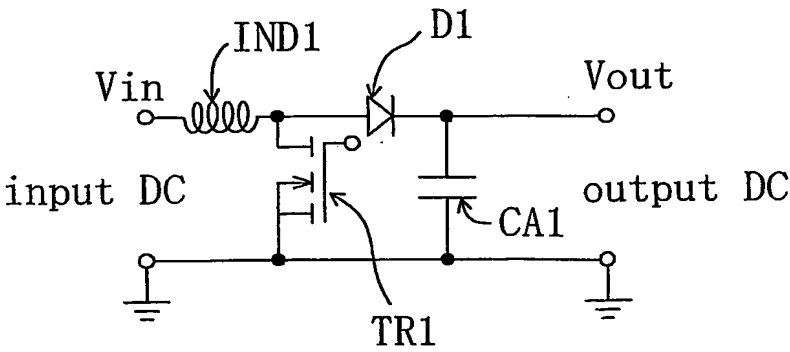


FIG. 3A

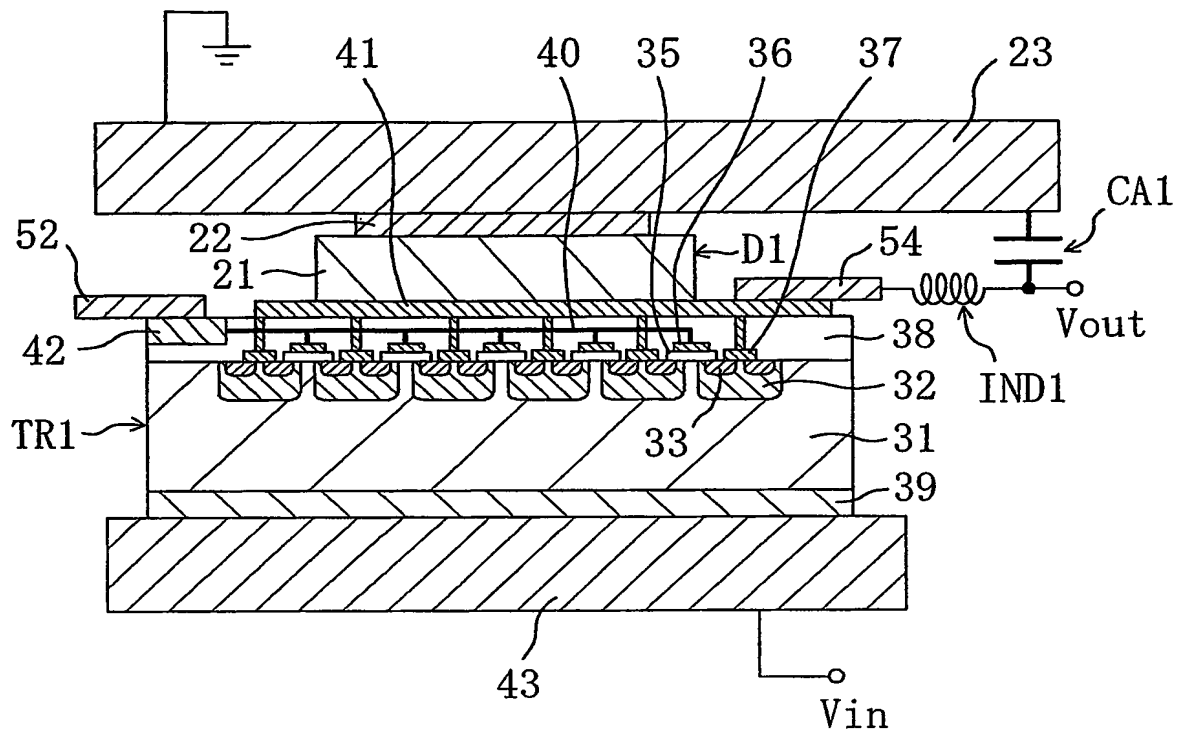


FIG. 3B

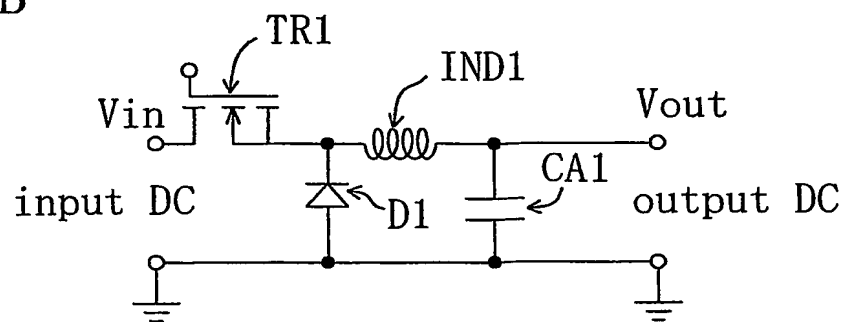


FIG. 5A

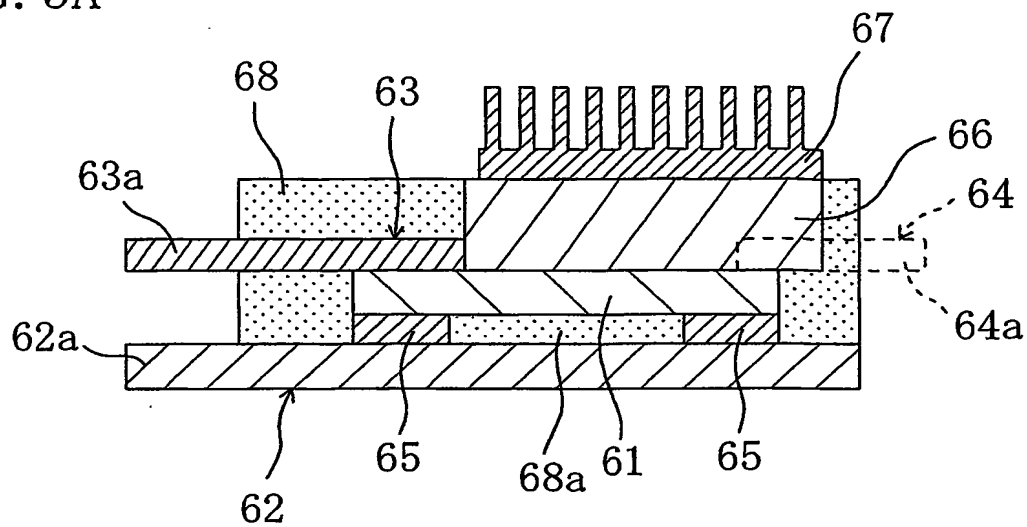


FIG. 5B

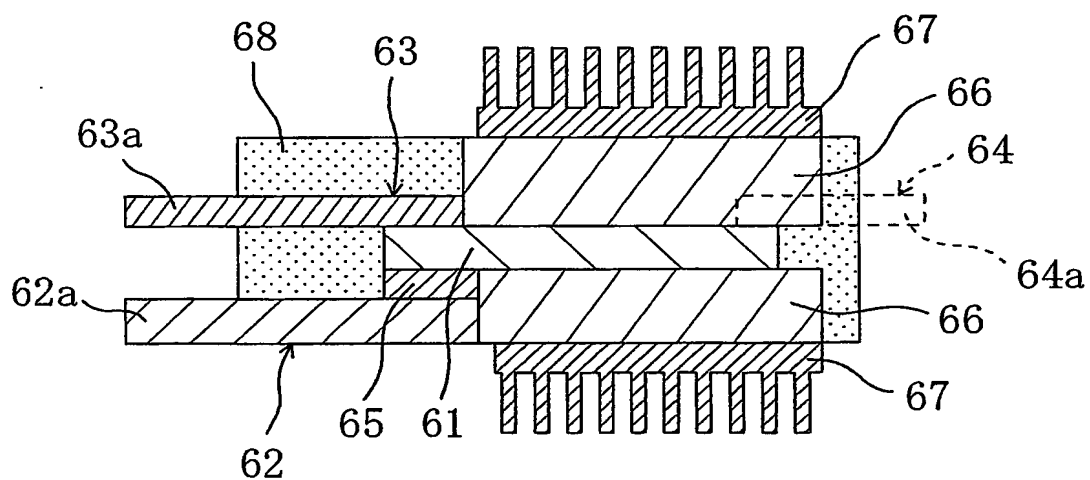
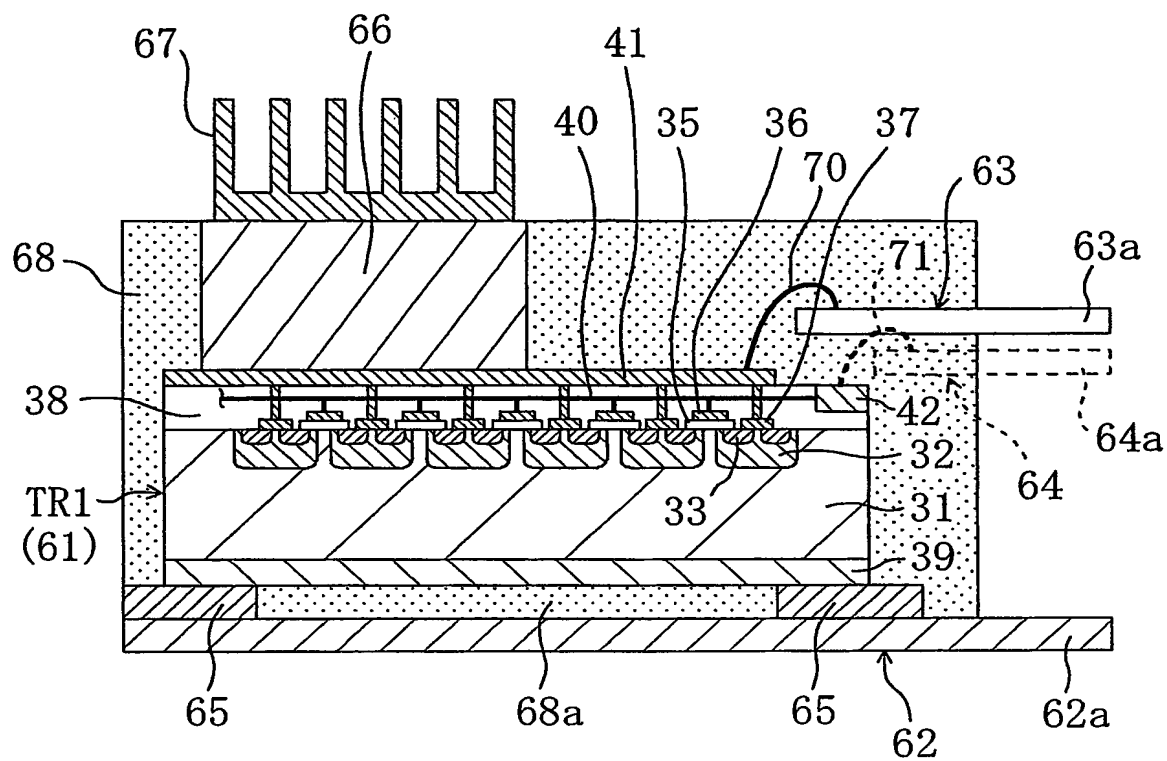


FIG. 6



7/10

FIG. 7A

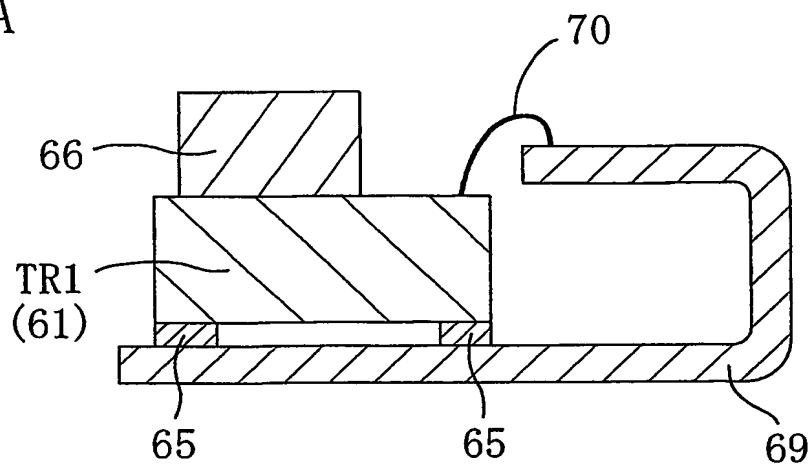


FIG. 7B

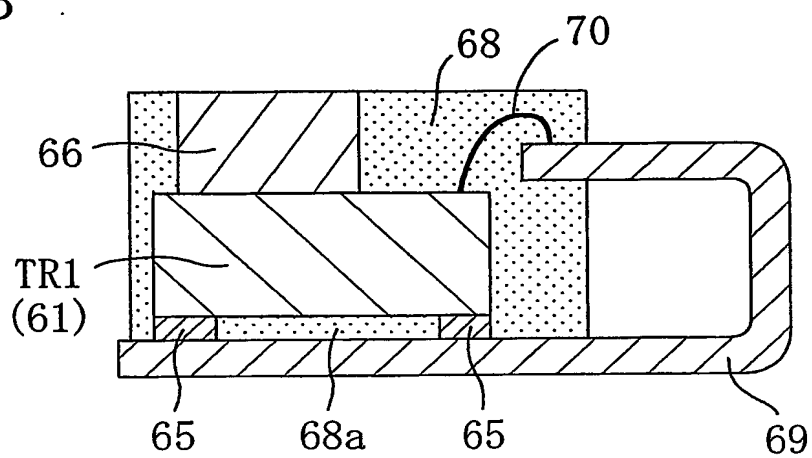
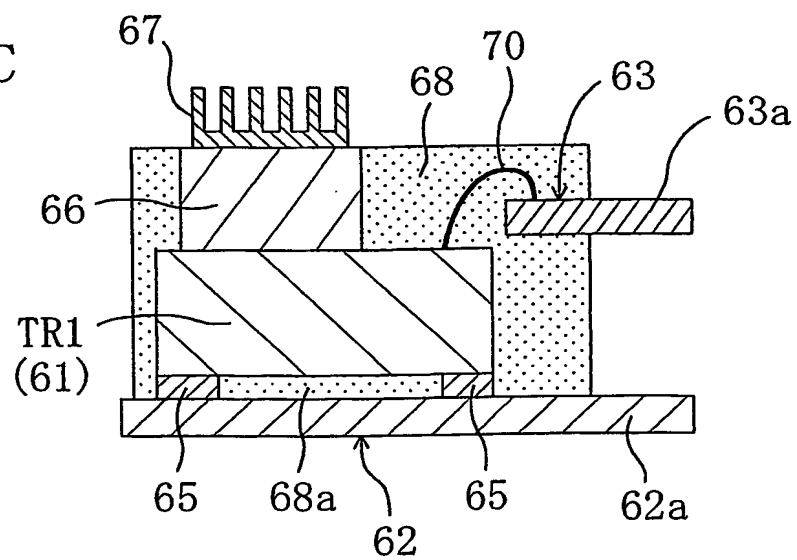


FIG. 7C



8/10

FIG. 8

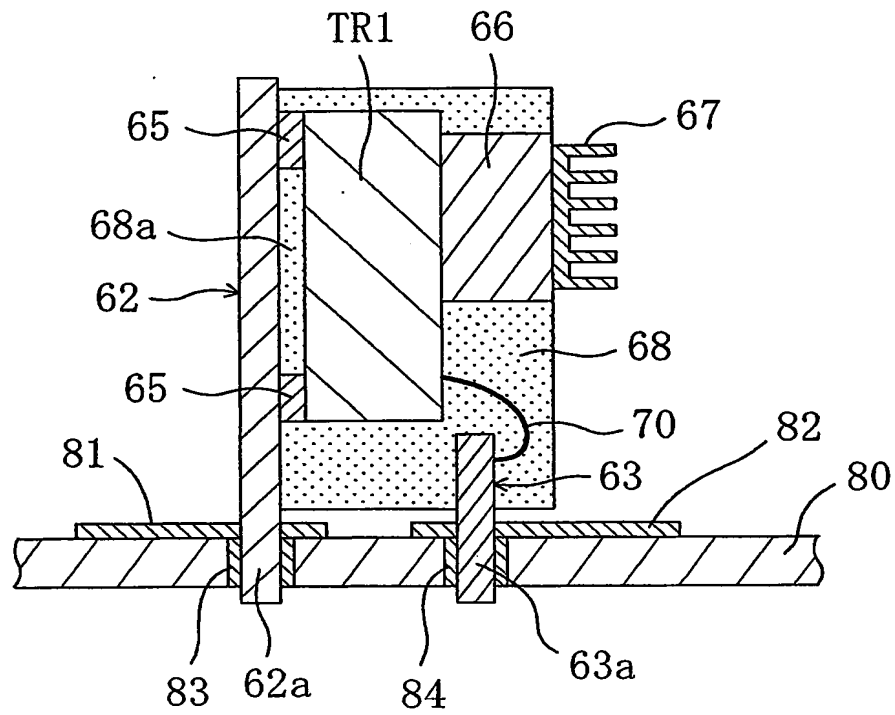


FIG. 9

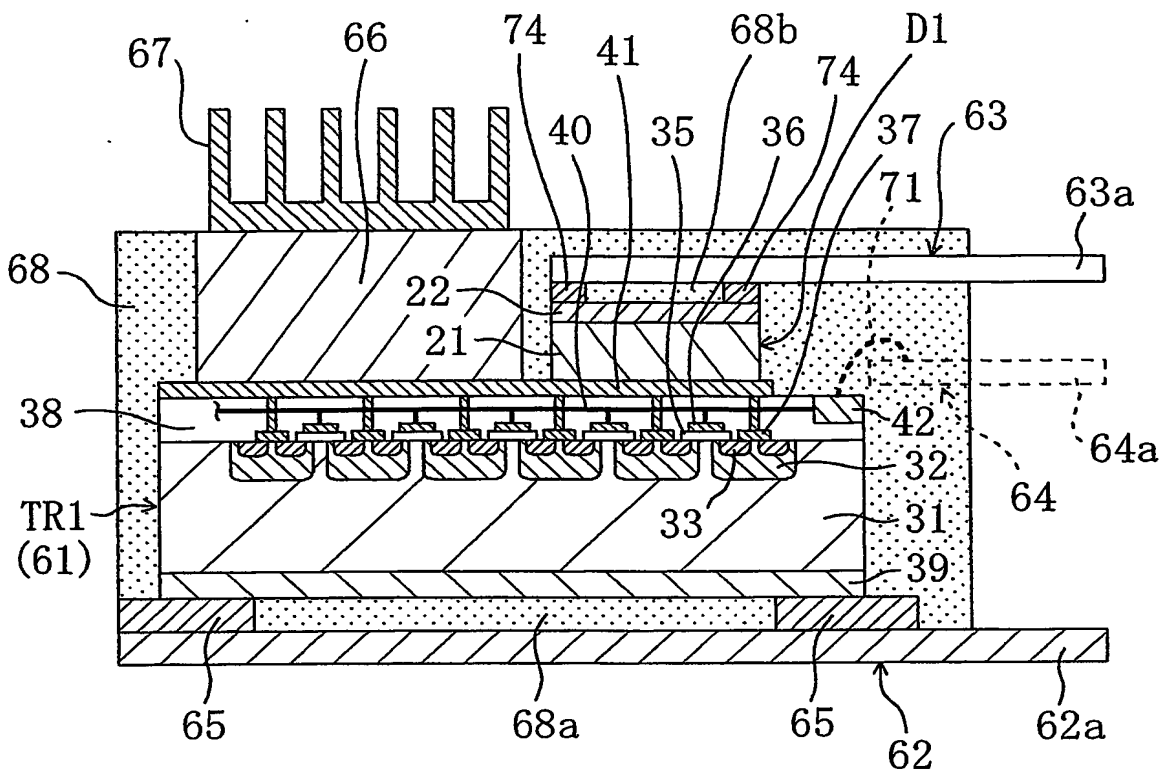
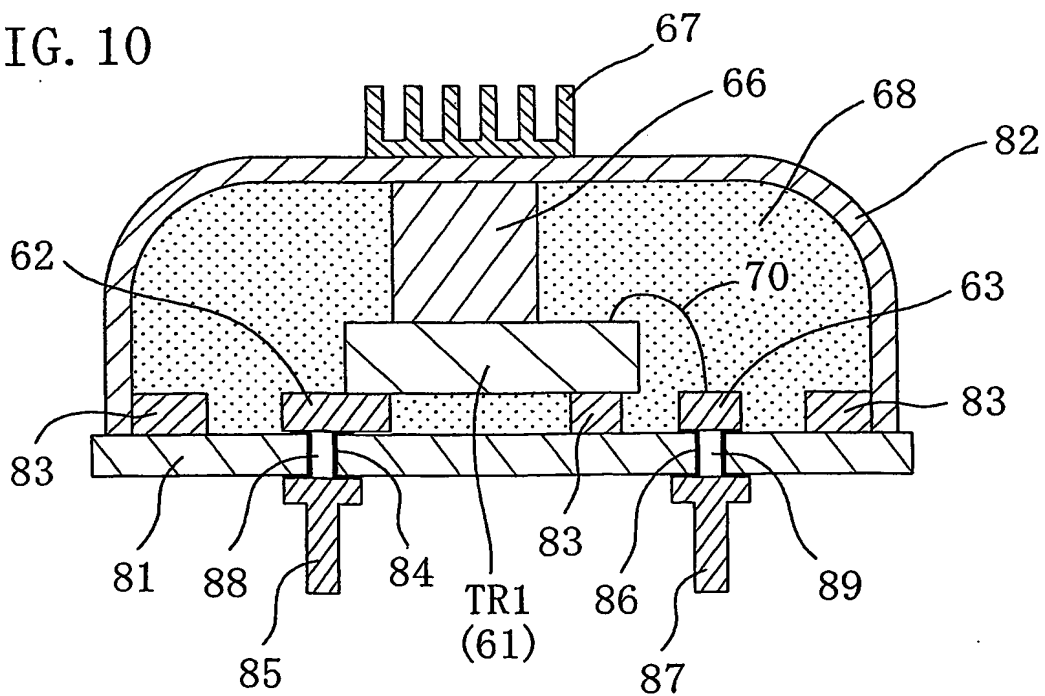
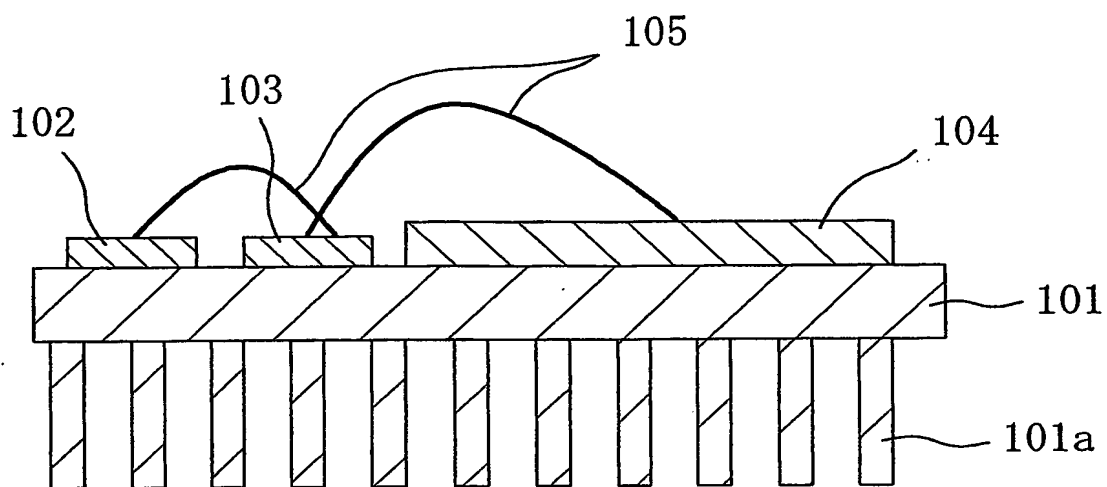


FIG. 10



10/10

FIG. 11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/013263

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L23/36, 25/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L23/36, 25/04, 21/52Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| Y | JP 5-121603 A (Mitsubishi Electric Corp.), 18 May, 1993 (18.05.93), Column 4, line 38 to column 5, line 12; Fig. 13 (Family: none) | 1-14 |
| Y | JP 2002-368121 A (Hitachi, Ltd.), 20 December, 2002 (20.12.02), Column 10, lines 10 to 32 & US 2002/0179945 A1 | 1-14 |
| Y | JP 2002-33445 A (Mitsubishi Electric Corp.), 31 January, 2002 (31.01.02), Claims; Fig. 4 (Family: none) | 1-11 |

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 November, 2004 (26.11.04)Date of mailing of the international search report
14 December, 2004 (14.12.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/013263

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y | JP 2003-17658 A (Toshiba Corp.), 17 January, 2003 (17.01.03), Claims; Fig. 6 (Family: none) | 12-14 |
| Y | JP 2001-156225 A (Denso Corp.), 08 June, 2001 (08.06.01), Claims; Fig. 1 & US 2003/0132530 A1 | 4-6, 14 |
| P, X | JP 2004-214368 A (Matsushita Electric Industrial Co., Ltd.), 29 July, 2004 (29.07.04), Claims; Figs. 3 to 4 (Family: none) | 1-5, 7, 8, 10-14 |
| P, X | JP 2004-140068 A (Nissan Motor Co., Ltd.), 13 May, 2004 (13.05.04), Claims; page 5, lines 30 to 39; Figs. 4 to 6 & US 2004/0089934 A1 | 12-14 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H01L23/36, 25/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H01L23/36, 25/04, 21/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| Y | J P 5-121603 A (三菱電機株式会社) 1993. 05. 18, 第4欄第38行-第5欄第12行, 図13 (ファミリーなし) | 1-14 |
| Y | J P 2002-368121 A (株式会社日立製作所) 2002. 12. 20, 第10欄第10-32行 & US 2002/0179945 A1 | 1-14 |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

26. 11. 2004

国際調査報告の発送日

14.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

4 R

9539

電話番号 03-3581-1101 内線 3469

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|--|---------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| Y | JP 2002-33445 A (三菱電機株式会社) 2002.01.31, 特許請求の範囲, 図4 (ファミリーなし) | 1-11 |
| Y | JP 2003-17658 A (株式会社東芝) 2003.01.17, 特許請求の範囲, 図6 (ファミリーなし) | 12-14 |
| Y | JP 2001-156225 A (株式会社デンソー) 2001.06.08, 特許請求の範囲, 図1 & US 2003/0132530 A1 | 4-6, 14 |
| PX | JP 2004-214368 A (松下電器産業株式会社) 2004.07.29, 特許請求の範囲, 図3-4 (ファミリーなし) | 1-5, 7, 8, 10-14 |
| PX | JP 2004-140068 A (日産自動車株式会社) 2004.05.13, 特許請求の範囲, 第5頁第30-39行, 図4-6 & US 2004/0089934 A1 | 12-14 |